

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-244661

(43)Date of publication of application : 28.09.1990

(51)Int.Cl.

H01L 23/40

(21)Application number : 01-066573

(71)Applicant : FUJITSU LTD

(22)Date of filing : 16.03.1989

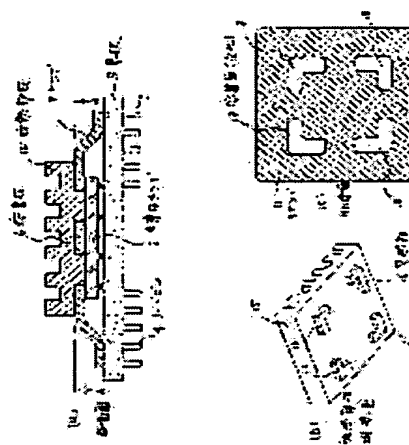
(72)Inventor : SUMI YUKINORI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To make a semiconductor device of this design uniform in heat dissipation and to reduce it in heat resistance so as to improve it in reliability by a method wherein two or more holes are provided to a cap, the protrusions of a heat dissipating member are fitted to the holes and fusion-welded together, and the heat dissipating member is soldered to the rear of a semiconductor chip.

CONSTITUTION: Two or more L-shaped protrusions 16 are provided to a heat dissipating member 15 and fitted to the same L-shaped holes 18 provided to a cap 11, and a soldering material is soldered to the whole face of the protrusions 16, the rear of a semiconductor chip 2, and both the sides of the cap 11 to bond them together. By this process, the member 15 and the chip 2 are bonded together by soldering and soldered faces 18 are coincident with the holes 18 of the cap 11. Therefore, an air layer or oxide is prevented from penetrating into the rear part of the chip 2, so that heat is uniformly dissipated from the rear of the chip 2. The chip 2 and the member 15 are formed into an integral structure pinching the cap 11 between the chip 2 and the member 15, so that the cap 11 is increased in heat dissipation. By this setup, a semiconductor device of this design can be improved in reliability by making it uniform in heat dissipation and low in heat resistance.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration] .

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-244661

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月28日

H 01 L 23/40

F

6412-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-66573

⑰ 出 願 平1(1989)3月16日

⑱ 発 明 者 角 幸 典 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

包袋済

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

表面を下向きにして、パッケージ基板に電気的に接続した少なくとも1つの半導体チップ(2)を有し、該半導体チップの背面に所定形状からなる複数の空孔を設けたキャップ(11, 21)を介在させ、該空孔に嵌合する複数の突起部(16, 26)を設けた放熱部材(15, 25)を前記キャップを挟持して前記半導体チップに溶着した構造を具備してなることを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (概 要)

表面実装型パッケージにおける放熱部材の取付構造に関し、

半導体チップからの熱放散を均一にし、熱抵抗を一層低減させることを目的とし、

表面を下向きにして、パッケージ基板に電気的に接続された少なくとも1つの半導体チップを有し、該半導体チップの背面に所定形状からなる複数の空孔を設けたキャップを介在させ、該空孔に嵌合する複数の突起部を設けた放熱部材を前記キャップを挟持して前記半導体チップに溶着した構造を具備してなることを特徴とする。

## (産業上の利用分野)

本発明は半導体装置のうち、特に表面実装型パッケージの放熱部材の取付構造に関する。

半導体装置が高集積化され、LSIの消費電力が増大するに伴って、放熱部材を取付けた表面実装型パッケージが増加しており、このような表面実装型パッケージでは一層の熱抵抗の低下が要望されている。

## (従来の技術)

高密度実装するICパッケージにはDIP(Dual In-line Package)タイプ、PGA(Pin Grid A

rray) タイプなどのピン挿入タイプ、SOP (Small Outline Package) タイプ、QFP (Quad Flat Package) タイプ、LCC (Leadless Chip Carrier) タイプなどの表面実装タイプが知られているが、これらの高密度実装パッケージに搭載する半導体チップは主としてフリップチップ、あるいは、タブ方式などのフェースダウン型半導体チップを収容しており、その際、半導体チップからの熱放散を良くする目的で放熱部材を配設し、半導体チップに発生した熱をチップ背面より放熱部材に伝達して、その表面から放熱する構成が採られている。

このような放熱部材を設けた高密度実装ICパッケージの従来例として、第3図(a)~(c)にPGAタイプの半導体装置を示しており、第3図(a)は断面図、第3図(b)は放熱部材の斜視図、第3図(c)は同図(a)のCC断面図である。図中の記号1はキャップ、2は半導体チップ、3は基板、4はリードピン、5は放熱部材、6は溶着材である。本図に示す半導体チップ2表面には多数のパンパ電極7

が設けられて、このパンパ電極7から基板3面に配置した配線に接続し、基板内に作製した多層配線やビヤホールを通してリードピン4に導出している。

放熱部材5は熱伝導性の良いアルミニウムや銅が用いられるが、第3図(c)に放熱部材5と半導体チップ2との溶着面8を図示しており、図中の中央部分が半導体チップ2の背面で、この全面に溶着材6を溶かして放熱部材5を接合している。溶着材6は、例えば組成 $Pb:Sn=9:1$ のPb/Sn合金半田やAu/Sn共晶合金半田が用いられ、これら溶着材6の溶融点は約300℃である。

#### (発明が解決しようとする課題)

ところで、上記した第3図(c)に示すように、従来の半導体装置は放熱部材を半導体チップの背面全面に溶着材6によつて溶着させており、接着面が広いために熱伝導性が良くなる筈であるが、接着面全面を均一に接着させることが困難であつて、溶着材の中に空気層が挟まれたり、溶着材の溶融

時に生じた酸化物が混入したりして、接着面が広いのが災いして空気層や酸化物の逃げ場がなく、そのために接着面が不均一になつて、半導体装置の熱抵抗が増加するという問題がある。

本発明はこのような重大な問題点を解消させて、半導体チップから均一な熱放散をおこない、熱抵抗を一層減少させることを目的とした半導体装置を提案するものである。

#### (課題を解決するための手段)

その課題は、第1図および第2図に示す実施例のように、表面を下向きにして、パッケージ基板に電気的に接続された少なくとも1つの半導体チップ2を有し、該半導体チップの背面に所定形状からなる複数の空孔18、28を設けたキャップ11、21を介在させ、該空孔に嵌合する複数の突起部16、26を設けた放熱部材25、26を前記キャップを挟持して前記半導体チップの背面に溶着した構造を具備した半導体装置によつて解決される。

#### (作用)

即ち、本発明は放熱部材の半導体チップ背面に溶着させる部分(複数のキャップの空孔からなる部分)を複数個設けて、その部分に放熱部材の突起部を嵌合させて半導体チップと放熱部材とを溶着させる。

そうすれば、その溶着部では溶着材を溶融した時に流動性が増加して空気層や酸化物が浮き上がる状態で除去され、その突起部での接着性が良くなる。その結果、半導体チップ背面からの熱放散が均一化され、且つ、このように構成すると半導体チップとキャップと放熱部材とが一体化されるためにキャップからの放熱が増加する利点もある。

#### (実施例)

以下に図面を参照して実施例によつて詳細に説明する。

第1図(a)~(c)は本発明にかかる実施例(1)の断面図を示しており、第1図(a)は断面図、第1図(b)は放熱部材の斜視図、第1図(c)は同図(a)のAA

断面図である。図中の記号11はキャップ、15は放熱部材、16は放熱部材の鍵形突起部で、その他の記号は第3図と同一部位に同一記号が付けてある。即ち、放熱部材15は第1図(a)に示す斜視図によって明らかなように、4個の鍵形突起部16が設けてあり、この鍵形突起部16をキャップ11に設けた同形状の複数の空孔に嵌合させ、その突起部の全面および半導体チップ2背面、キャップ11両面に溶着材6を溶着して接合する。

第1図(c)は放熱部材15と半導体チップ2との4つの溶着面18を示しており、この溶着面で溶着材6によって半導体チップと放熱部材15とが溶着接合される。且つ、この溶着面18がキャップ11の空孔に一致している。

かくすれば、少なくとも鍵形突起部16が溶着した半導体チップの背面部分は空気層や酸化物が噛み込まれることなく、従って、半導体チップの背面からの熱放散が均一化され易くなる。且つ、キャップを挟持し、半導体チップとキャップと放熱部材とを一体化して溶着しているために、キャッ

位置で空孔になる。

このようにすれば、同様に半導体チップの背面からの熱放散が均一化されて放熱性が改善され、半導体装置の信頼性向上に繋がる。

上記は2つの実施例について説明したが、その他の種々の形状をもつ放熱部材を用いた実施例も考えられ、同様に放熱の均一性が得られるものである。

#### 〔発明の効果〕

以上の説明から明らかなように、本発明にかかる半導体装置によれば、放熱性が改善されて半導体チップから均一に熱放散され、熱抵抗が一層低下して、その信頼性向上に大きく寄与するものである。

#### 4. 図面の簡単な説明

第1図(a)～(c)は本発明にかかる実施例(I)を示す図、

第2図(a)～(c)は本発明にかかる実施例(II)を

示す図、

第3図(a)～(c)は従来の半導体装置を示す図である。

図において、  
1、11、21はキャップ、  
2は半導体チップ、  
3は基板、  
4はリードピン、  
5、15、25は放熱部材、  
6は溶着材、  
8、18、28は溶着面(空孔)、  
16、26は突起部  
を示している。

第2図(c)は放熱部材25と半導体チップ2との12個の溶着面28を示しており、この溶着面で溶着材6によって半導体チップと放熱部材25とが溶着接合されるが、同様に溶着面28がキャップ21の相対

示す図、

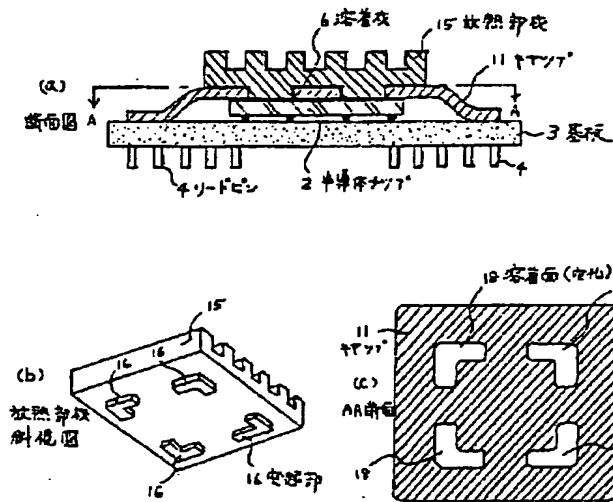
第3図(a)～(c)は従来の半導体装置を示す図である。

図において、

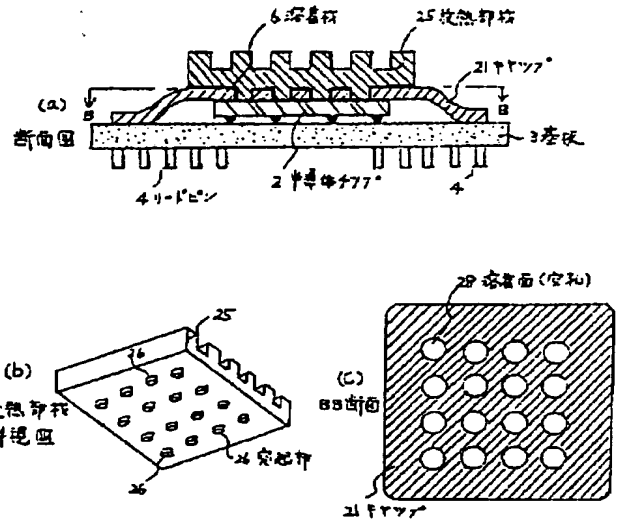
- 1、11、21はキャップ、
  - 2は半導体チップ、
  - 3は基板、
  - 4はリードピン、
  - 5、15、25は放熱部材、
  - 6は溶着材、
  - 8、18、28は溶着面(空孔)、
  - 16、26は突起部
- を示している。

代理人 弁理士 井 桁 貞 一

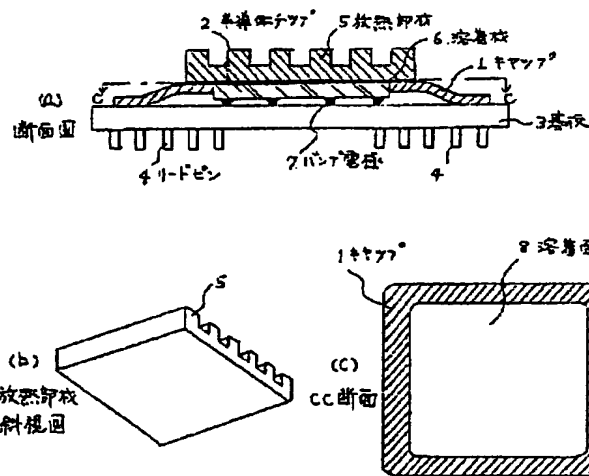




本発明にかかる実施例(I)を示す図  
第 1 図



本発明にかかる実施例(II)を示す図  
第 2 図



従来、半導体装置を示す図  
第 3 図